



<https://latribunelibre.com/emploi/ingenieur-developpement-fpga-traitement-du-signal-secteur-defense-f-h>

Ingenieur Développement FPGA | Traitement du Signal – Secteur Défense F/H

Description

Vous interviendrez au sein d'un projet à forte valeur technologique dans le domaine des systèmes embarqués temps réel.

L'objectif : concevoir et développer des algorithmes de traitement du signal sur la partie FPGA d'un System-on-Chip de type AMD Zynq Ultrascale+.

Vos missions principales seront de :

- Concevoir et développer une fonction de traitement du signal sur FPGA (détails confidentiels)
- Intégrer et valider votre solution dans l'environnement global du SoC
- Rédiger la documentation technique associée (HDD, STDR, etc.)
- Contribuer à la mise à jour des documents de conception et de test

Qualifications

Diplôme Bac+5 en systèmes électroniques numériques

Une expérience de 5 ans minimum

Vous êtes ingénieur développement FPGA ou ingénieur traitement du signal avec une première expérience significative sur des projets complexes à base de SoC Xilinx.

Vous maîtrisez VHDL, Vivado et les environnements de simulation type ModelSim.

Vous savez rédiger une documentation technique claire et conforme aux standards du projet.

Environnement technique :

- Environnements & outils : GIT, JIRA
- Langages & technos : VHDL, Vivado, ModelSim
- Domaines : FPGA, Xilinx, traitement du signal, systèmes embarqués temps réel

Anglais : Courant

Organisme employeur
CELAD

Type de poste
Temps plein

Secteur
PROGRAMMATION
INFORMATIQUE

Lieu du poste
78208, ELANCOURT,
ELANCOURT, France

Date de publication
21 octobre 2025 à 19:07

Valide jusqu'au
16.11.2025

Bon à savoir :

- Mission de longue durée
- **Habilitation sécurité/défense (Projet Confidentiel Défense)**

Avantages à la clé :

- 15 jours de RTT (100% « salarié » & Rachat à 125%)
- Participation aux bénéfices
- Indemnité de déplacement (6€ net / jour OU 50% du titre de transport)
- Plan Epargne Entreprise
- Prime de vacances
- Avance sur salaire
- Comité Social et Economique