



<https://latribunelibre.com/emploi/ingenieur-verification-vhdl-f-h>

Ingenieur Vérification VHDL – F/H

Description

ELSYS Design recherche un ingénieur en vérification FPGA afin de renforcer son pôle de compétences en place à Cesson-Sévigné (35). Dans ce contexte, vous participerez à la vérification et validation de différentes IP dans un environnement normé aéronautique sur FPGA. Nous vous proposons d'intégrer une équipe de 6 ingénieurs et de monter en compétences sur ces projets par l'accompagnement de notre leader technique et le chef de projet.

Qualifications

Titulaire d'un diplôme d'ingénieur en électronique ou d'un diplôme universitaire équivalent avec minimum 5 ans d'expérience dans le domaine de la microélectronique numérique.

Votre passion, votre dynamisme et votre capacité à transmettre dans des contextes variables seront des atouts pour vous épanouir dans ce rôle.

Compétences recherchées :

Maîtrise du flot de développement FPGA
Maîtrise de langage de description RTL (VHDL, Verilog, SystemVerilog)
Analyse, réutilisation et modification de blocs complexes
Pratique de la gestion de configuration (Git, SVN, ClearCase)
Bonne compréhension en anglais technique (écrit et oral)

Qualités requises :

Avoir une capacité d'apprentissage et une rigueur dans l'exécution
Savoir travailler en équipe et avoir le sens du service
Avoir une certaine facilité à communiquer avec différents types d'interlocuteurs

Organisme employeur
elsys-design

Type de poste
Temps plein

Secteur
INGÉNIERIE, ÉTUDES
TECHNIQUES

Lieu du poste
35051, CESSON SEVIGNE,
CESSON SEVIGNE, France

Salaire de base
40000 € - **Salaire de base**
60000 €

Date de publication
9 septembre 2024 à 21:02

Valide jusqu'au
09.10.2024